

3. Rechenschaltungen

3.1 Halbaddierer

siehe Buch "Digitaltechnik" Kapitel 14.1 ab Seite 461

1. Wofür steht die Abkürzung CO beim Halbaddierer?
2. Gib die Wahrheitstabelle eines Halbaddierers an und entwickle aus der Wahrheitstabelle die Schaltung. Die Schaltung ist unter Verwendung von Grundgliedern zu skizzieren.
3. Entwirf fachgerecht die Schaltung eines Halbaddierers unter ausschließlicher Verwendung von NAND-Gliedern mit 2 Eingängen.

3.2 Volladdierer

siehe Buch Kapitel 14.2 ab Seite 463

1. Wodurch unterscheidet sich ein Volladdierer von einem Halbaddierer?
2. Aus zwei Halbaddierern und einem ODER-Glied soll ein Volladdierer aufgebaut werden. Zeichne und beschrifte die Schaltung.
3. An den Ausgängen der zwei Halbaddierer aus Punkt 2) liegen folgende logischen Zustände an:

$$\ddot{U}_2 = 1 \quad Z_2 = 1 \quad \ddot{U}_1 = 1 \quad Z_1 = 0$$

Welche logischen Zustände liegen an den Eingängen des Volladdierers?

3.3 Paralleladdierschaltung

siehe Buch Kapitel 14.3 ab Seite 466

1. Wie groß ist im Dezimalen der Wertebereich von 4-stelligen Dualzahlen?
2. In dem Beispiel im Buch sind die Summanden 4-stellig, das Ergebnis allerdings 5-stellig. In einem Rechner gilt aber sowohl für die Summanden als auch für das Ergebnis eine feste Bitbreite (hier z.B. 4 Bit). Das Ergebnis wird also falsch. Um zu verhindern, dass der Rechner mit diesem falschen Ergebnis weiter rechnet, wäre es nützlich, wenn dieser zumindest erkennen könnte, dass das Ergebnis falsch ist. Geht dies? Wenn ja, wie?

3.4 Halbsubtrahierer

siehe Buch Kapitel 14.5 ab Seite 469

Führe die Rechnung $1001b - 0111b$ nach der direkten Subtraktion durch.

3.5 Vollsubtrahierer

siehe Buch Kapitel 14.5.2 ab Seite 470

1. Stelle die vollständige Wahrheitstabelle eines Vollsubtrahieres auf.
2. Beweise durch Schaltungsanalyse, dass die Schaltung aus Halbaddierer + Halbsubtrahierer einem Vollsubtrahierer entspricht. Das heißt stelle eine Wahrheitstabelle mit allen Zwischenvariablen auf und vergleiche das Ergebnis mit Punkt 1 der Aufgabe.
3. Welche Kombinationen von \ddot{U} , Z , E_1 und D_1 der Schaltung aus Punkt 2 können nie auftreten?

3.6 Parallelsubtrahierer

3.6.1 Parallelsubtrahierer mit Vollsubtrahierern

siehe Buch Kapitel 14.5.3 ab Seite 473

1. Zeichne eine 2-Bit-Subtrahierschaltung aus Voll- und Halbsubtrahierern.
2. Trage im Buch in der 4-Bit-Subtrahierschaltung folgende Subtraktion mit allen Zwischenwerten ein:
1001b - 0111b
3. Wie erkennt man bei der 4-Bit-Subtrahierschaltung aus Vollsubtrahierern, ob das Ergebnis richtig ist?

3.6.2 Parallelsubtrahierer mit Volladdierern

siehe Buch Kapitel 14.5.4 ab Seite 474

1. Wie wird das Zweierkomplement einer Dualzahl gebildet?
2. Trage im Buch in der 4-Bit-Subtrahierschaltung mit Volladdieren folgende Subtraktion mit allen Zwischenwerten ein: $-6d - (-2d)$

3.7 Addier-Subtrahierwerk

siehe Buch Kapitel 14.6 ab Seite 475

1. Welche Aufgabe übernehmen die Antivalenzglieder in dem 4-Bit-Addier-Subtrahierwerk?
2. In einem Rechner muss auch ein Befehl dual dargestellt werden. Wie wird dem 4-Bit-Addier-Subtrahierwerk "befohlen" zu addieren oder zu subtrahieren?

3.8 ALU

siehe Buch Kapitel 15.2 ab Seite 485

1. Wozu dienen die Multiplexer in einer ALU (Bild 15.3)?
2. Über welche Leitungen "befiehlt" man der ALU aus Bild 15.3 zu addieren?