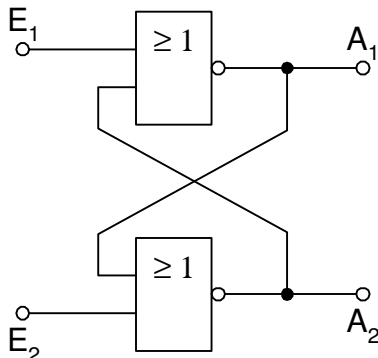


5. Flipflops

5.1 Nicht-taktgesteuerte Flipflops

5.1.1 NOR-Flipflop

Schaltung:



zur Erinnerung:

A	B	$\overline{A \vee B}$
0	0	1
0	1	0
1	0	0
1	1	0

Funktionstabelle:

Fall	E_1	E_2	A_1	A_2
1	0	0		
2	0	1		
3	1	0		
4	1	1		

Erklärungen:

Im Speicherfall behalten die Ausgänge den logischen Zustand den sie vor dem Speicherfall gehabt haben. Der Zustand eines Ausgangs ist also nicht nur abhängig von den Zuständen der Eingänge, sondern auch seinem eigenen Zustand vor dem Speicherfall.

Der Fall $E_1=1$ und $E_2=1$ wird als irregulärer Fall bezeichnet, weil der Zustand an den Ausgängen nicht gespeichert werden kann. Beim Umschalten in den Fall $E_1=0$ und $E_2=0$ wird einer der Ausgänge auf logisch Eins kippen.

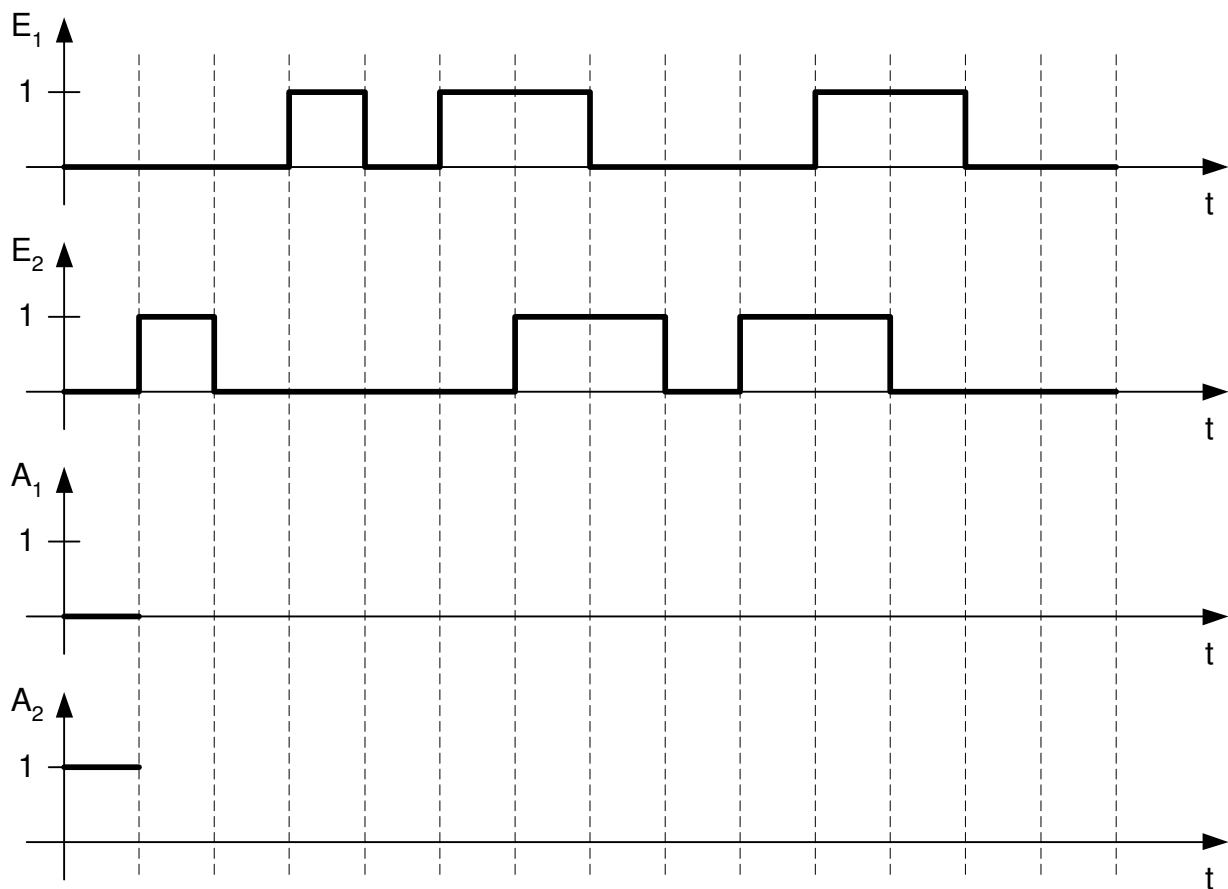
Signal-Zeit-Diagramm eines NOR-Flipflops:

In einem Signal-Zeit-Diagramm wird ein Signal in Abhängigkeit (in Funktion) von der Zeit dargestellt.

Aufgabe:

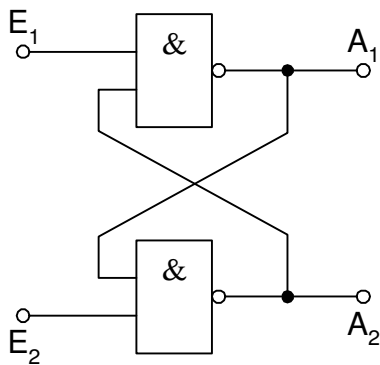
Gegeben ist der zeitliche Verlauf von E_1 und E_2 sowie der Anfangszustand von A_1 und A_2 .

Vervollständige den zeitlichen Verlauf der beiden Ausgänge.



5.1.2 NAND-Flipflop

Schaltung:



zur Erinnerung:

A	B	$\overline{A \wedge B}$
0	0	1
0	1	1
1	0	1
1	1	0

Funktionstabelle:

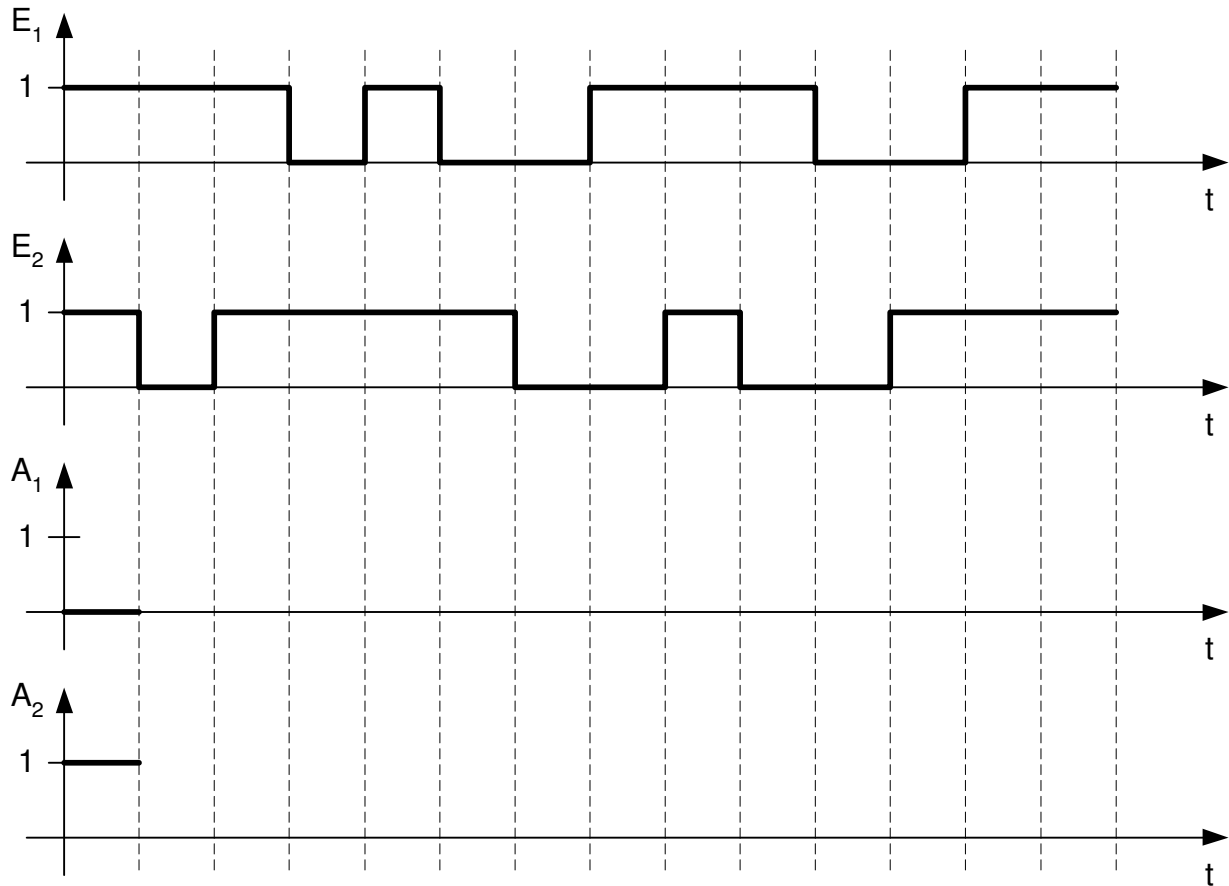
Fall	E_1	E_2	A_1	A_2
1	0	0		
2	0	1		
3	1	0		
4	1	1		

Signal-Zeit-Diagramm eines NAND-Flipflops:

Aufgabe:

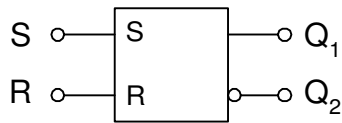
Gegeben ist der zeitliche Verlauf von E_1 und E_2 sowie der Anfangszustand von A_1 und A_2 .

Vervollständige den zeitlichen Verlauf der beiden Ausgänge.



5.1.3 RS-Flipflop

Schaltzeichen:



Die Bezeichnungen S und R der Eingänge stehen für "set" und "reset", da durch sie der Ausgang Q_1 gesetzt oder zurückgesetzt werden kann. Für Q_2 gilt immer: $Q_2 = \overline{Q_1}$

Funktionstabelle:

Fall	S	R	Q_1	Q_2	
1	0	0	X	X	Speicherfall
2	0	1	0	1	Rücksetzfall
3	1	0	1	0	Setzfall
4	1	1	/	/	irregulärer Fall

Aufgabe:

1. Wie kann ein RS-Flipflop mit einem NOR-Flipflop realisiert werden?
2. Wie kann ein RS-Flipflop mit einem NAND-Flipflop realisiert werden?

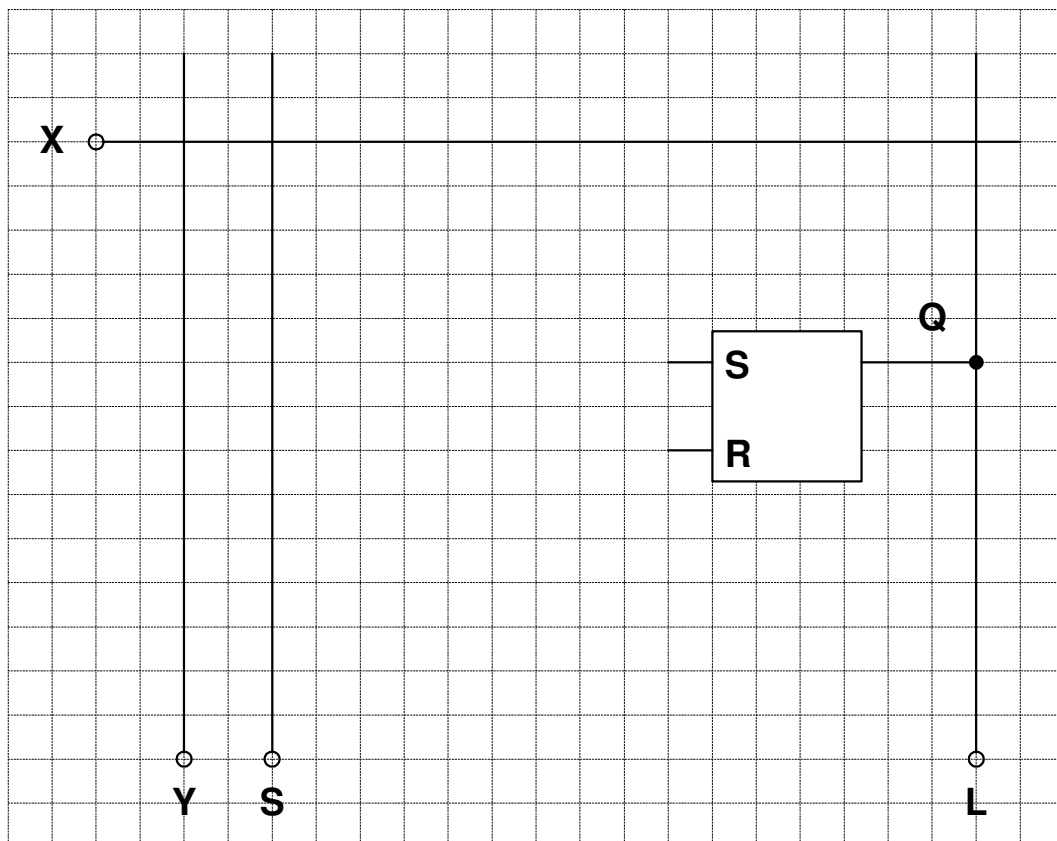
5.1.4 Anwendungen von RS-Flipflops

5.1.4.1 Flipflop als 1-Bit Speicherzelle

Aufgabe:

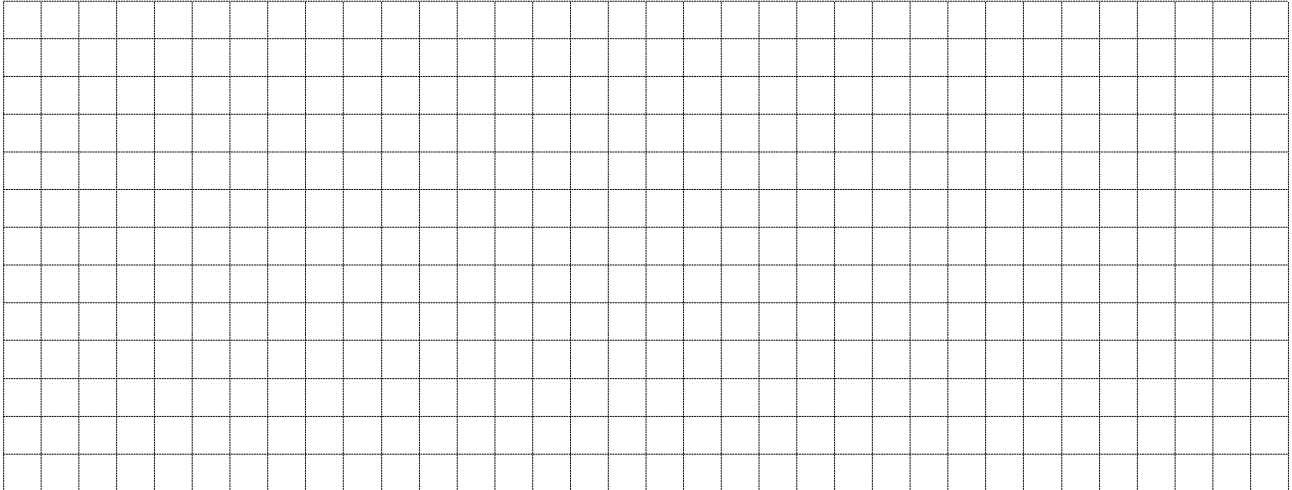
Ergänze die Schaltung so, dass:

1. Q auf 1 gelegt wird, wenn die Speicherzelle mit $X=1$ und $Y=1$ ausgewählt ist und auf der Schreibleitung S eine 1 anliegt.
2. Q auf 0 gelegt wird, wenn die Speicherzelle mit $X=1$ und $Y=1$ ausgewählt ist und auf der Schreibleitung S eine 0 anliegt.
3. Der Zustand von Q gespeichert wird, wenn die Speicherzelle nicht ausgewählt ist weil X oder Y auf 0 liegt.



5.1.4.2 Entprellung eines Schalters

Unter Prellen eines Schalter versteht man das Auslösen mehrerer Impulse beim Umschalten zwischen den beiden Schaltzuständen.



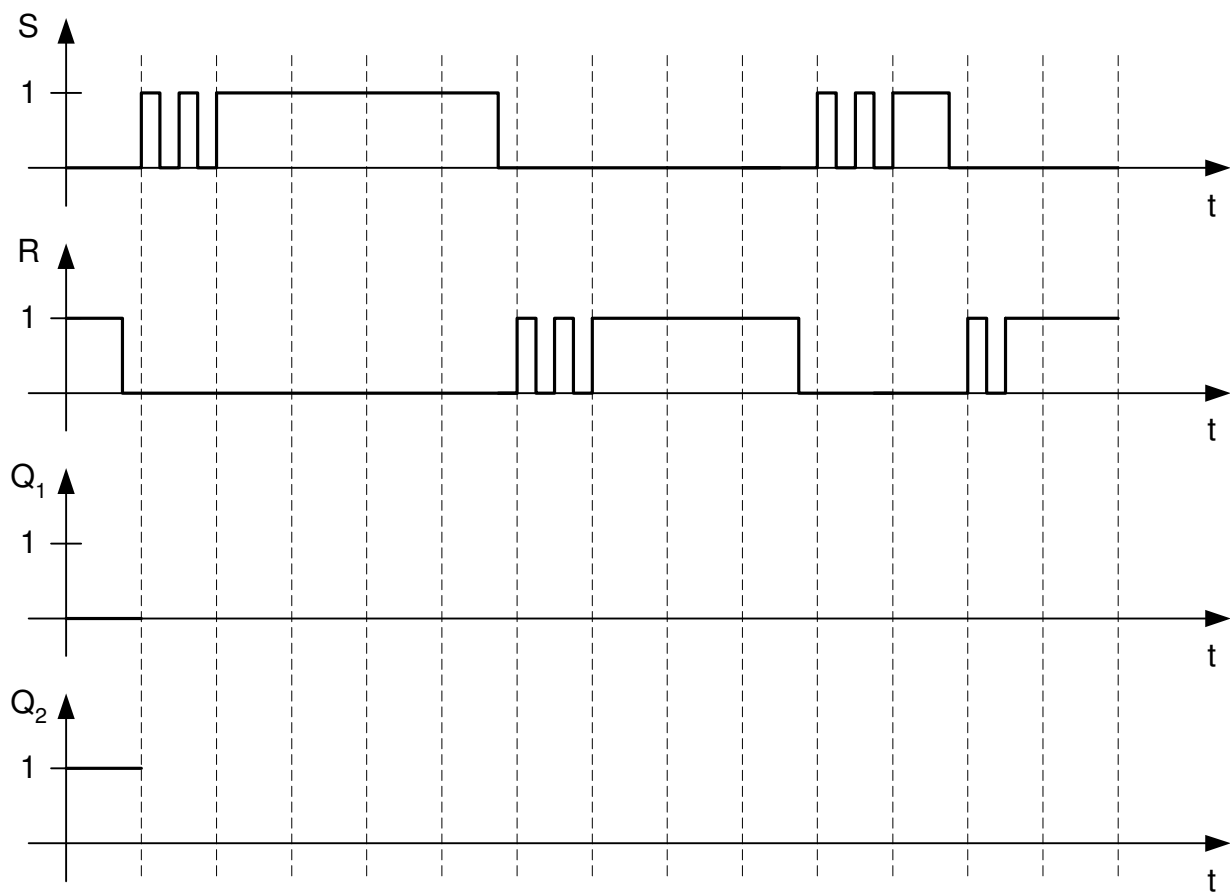
Die Widerstände sind Pulldown-Widerstände die dafür sorgen, dass die Eingänge des Flipflops auf 0V liegen, wenn diese nicht mit der Betriebsspannung verbunden sind.

Erklärung:

Wenn die Eingänge nicht mit der Betriebsspannung verbunden sind ist $I_R = 0A$. Also ist auch die Spannung an den Widerständen null da $U_R = R \cdot I_R$. Da die Widerstände parallel zu den Eingängen geschaltet sind, ist die Spannung an den Eingängen dann auch null.

Aufgabe:

Vervollständige folgendes Signal-Zeit-Diagramm:



5.1.4.3 Selbthalteschaltung

Aufgabe:

Eine Leuchtdiode soll mit Hilfe eines Tasters dauerhaft eingeschaltet und mit Hilfe eines anderen Tasters dauerhaft wieder ausgeschaltet werden können.

Entwirf die Schaltung unter Verwendung eines RS-Flipflops.

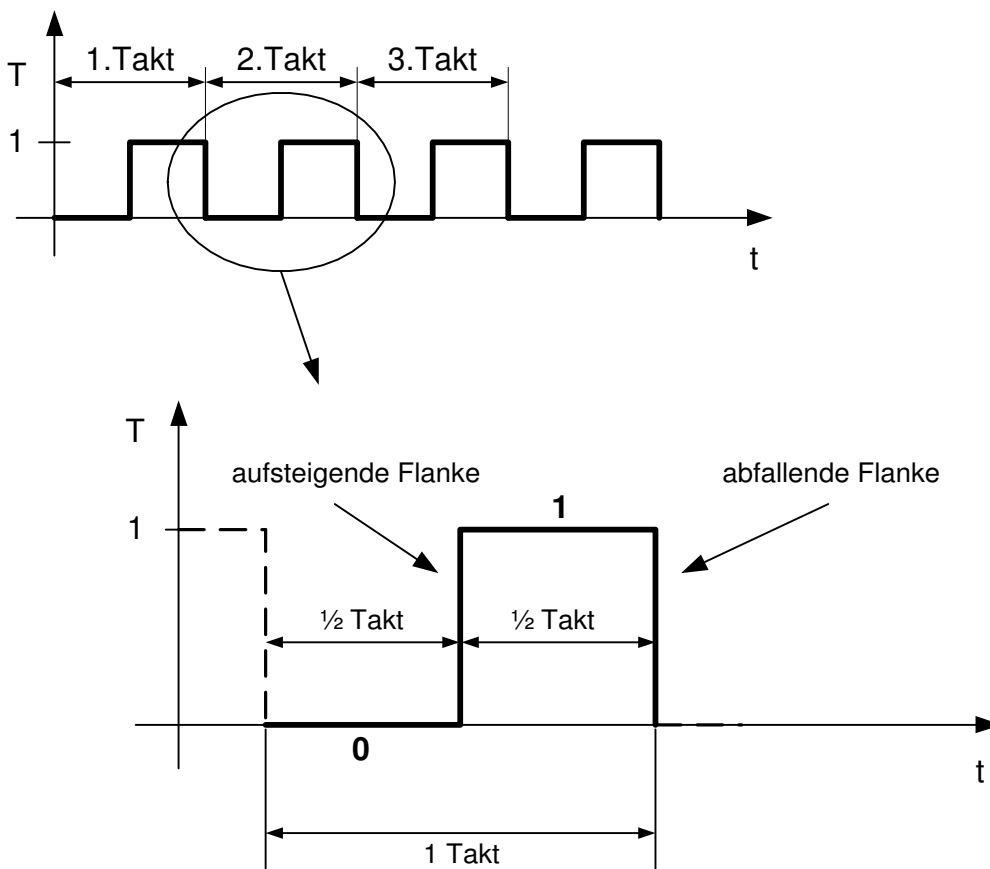
5.2 Taktzustandsgesteuerte Flipflops

5.2.1 Takt

Das gute Zusammenspiel vieler Musiker in einem Orchester ist fast undenkbar ohne Dirigenten. Er gibt unter anderem den Takt an und gewährleistet so ein synchrones (d.h. zeitlich aufeinander abgestimmtes) Zusammenspiel aller Musiker.

Um in einem Mikroprozessor oder auf einem Motherboard alle digitalen Bausteine kontrolliert zusammenarbeiten zu lassen ist es auch erforderlich einen Takt vorzugeben. Dieser Takt soll alle Bausteine dazu bewegen ihre Operationen und ihren Datenaustausch synchronisiert durchzuführen.

Elektrisch läßt sich ein solcher Takt am einfachsten durch ein Rechtecksignal realisieren.

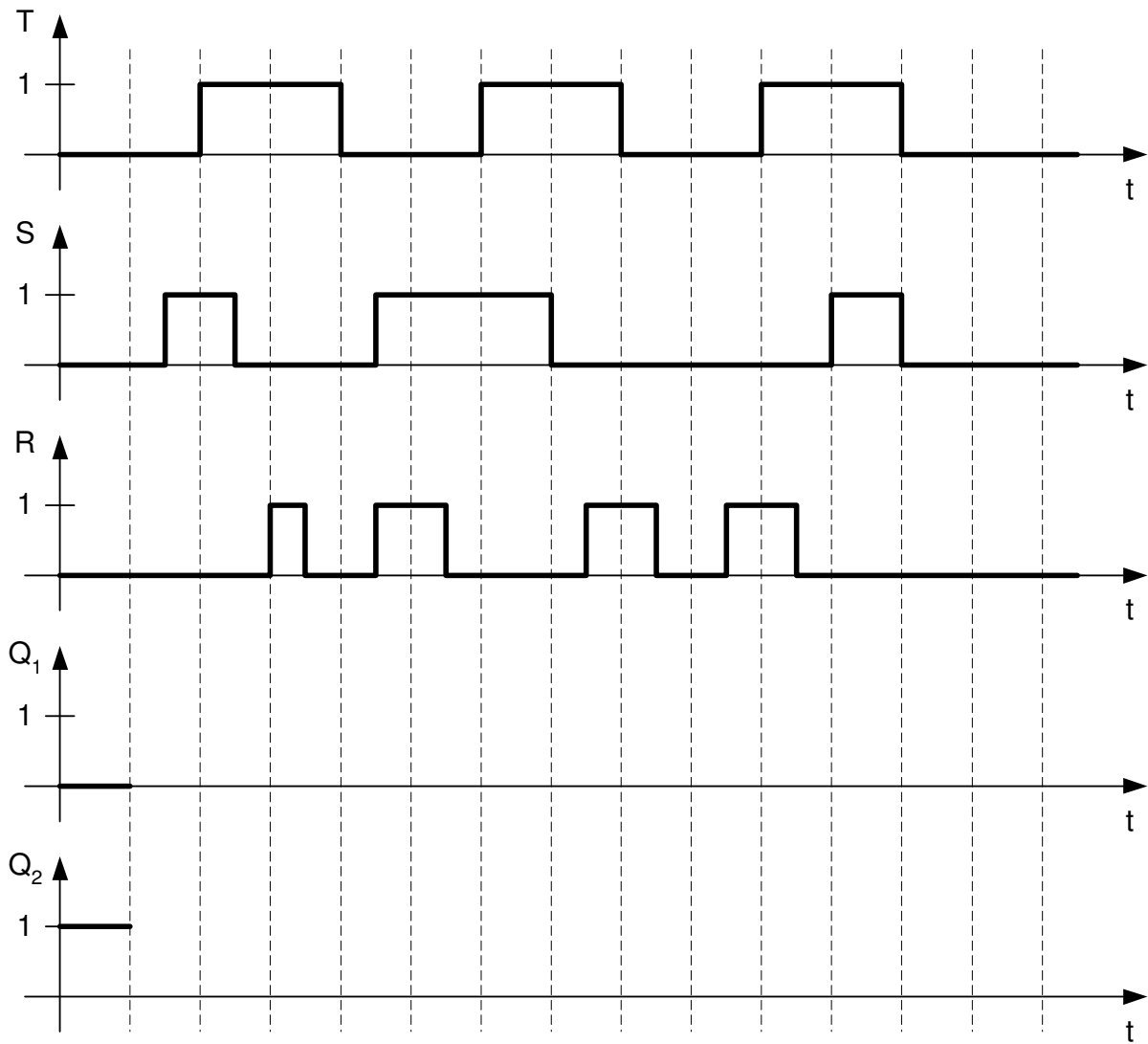


5.2.2 Taktzustandsgesteuertes SR-Flipflop

siehe Buch "Digitaltechnik" Kapitel 7.4.1 S. 187

Aufgabe:

Vervollständige folgendes Signal-Zeit-Diagramm:

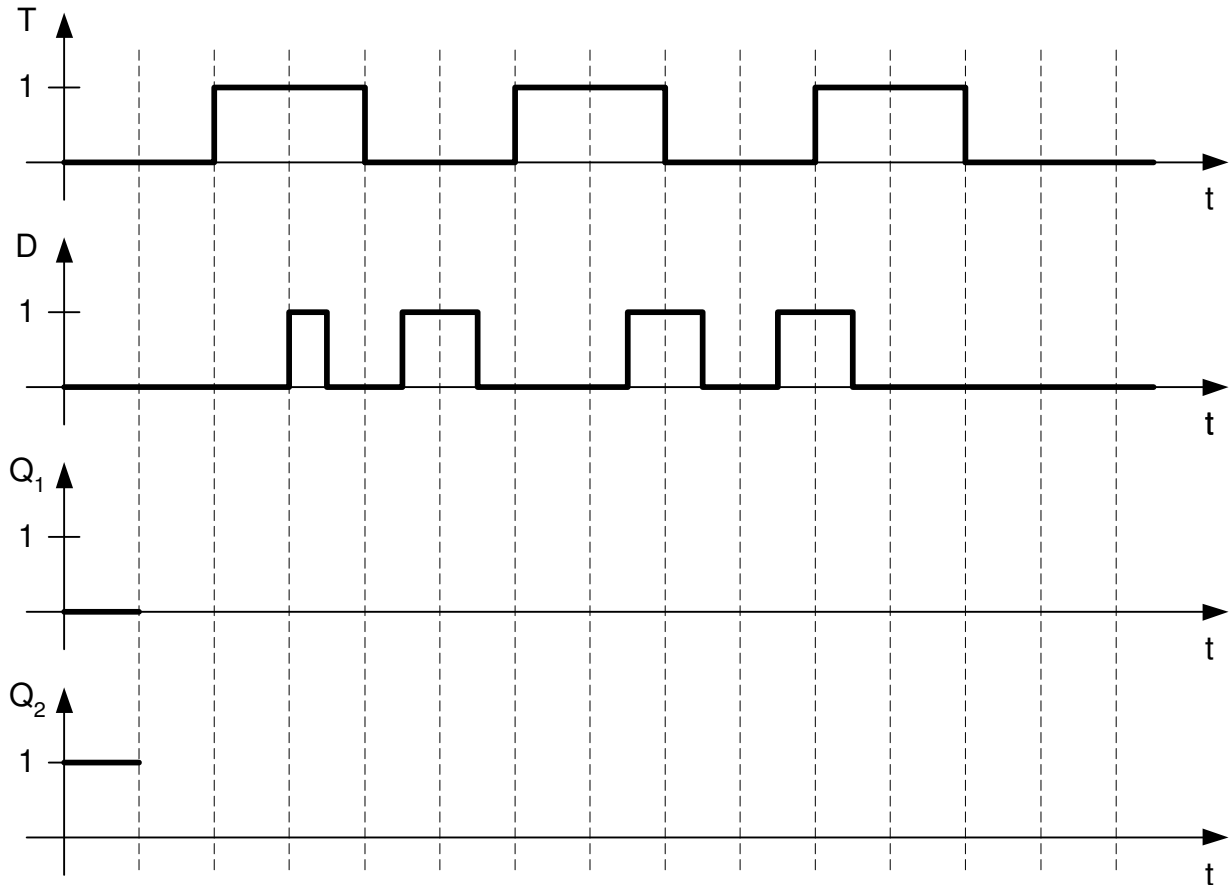


5.2.3 Taktzustandgesteuertes D-Flipflop

siehe Buch Kapitel 7.4.4 S. 190/191

Aufgabe:

Vervollständige folgendes Signal-Zeit-Diagramm:

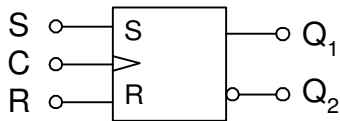


5.3 Taktflankengesteuerte Flipflops

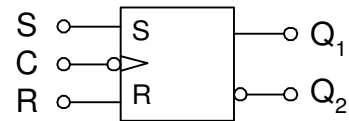
5.3.1 Taktflankengesteuertes SR-Flipflop

Beim taktflankengesteuerten SR-Flipflop kann der Setz- und Rücksetzeingang nur während der aufsteigenden respektive abfallenden Flanke des Taktes wirksam werden.

Schaltzeichen:



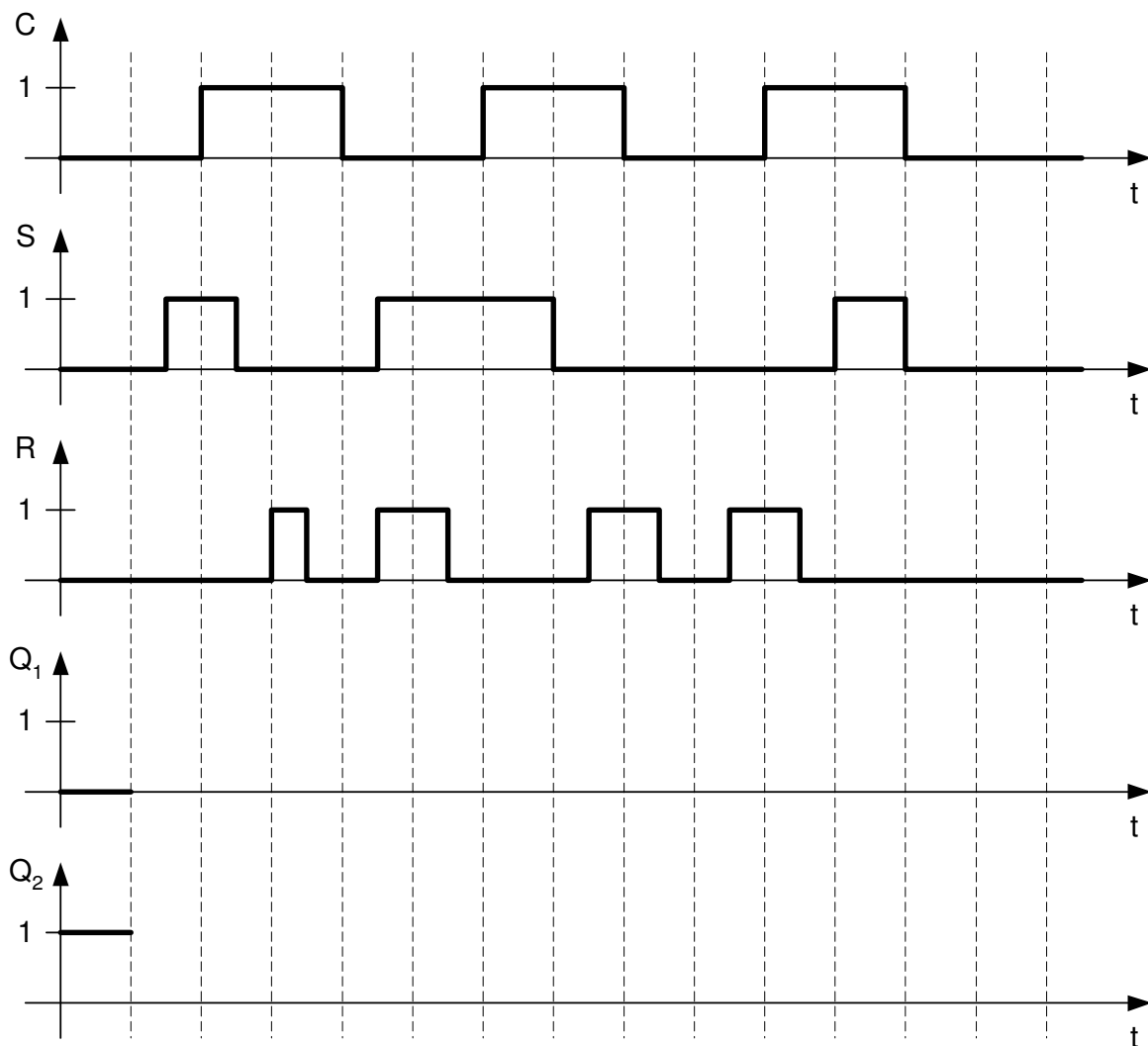
aufsteigende Flanke



abfallende Flanke

Aufgabe:

Vervollständige folgendes Signal-Zeit-Diagramm (aufsteigende Flanke):

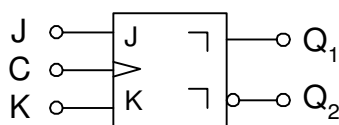


5.3.4 JK-Master-Slave-Flipflop

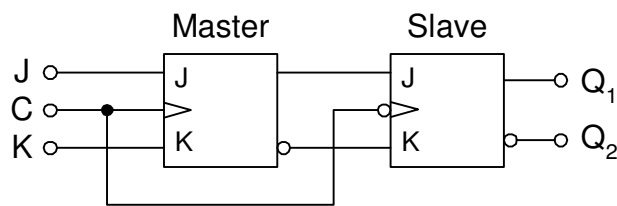
Das JK-Master-Slave-Flipflop nimmt bei der ansteigenden Taktflanke das Eingangssignal auf. Dieses wird zwischengespeichert und erscheint zunächst noch nicht am Ausgang. Erst wenn die Taktflanke wieder abfällt, wird das Signal zum Ausgang durchgeschaltet.

Man kann das JK-Master-Slave-Flipflop durch eine Zusammenschaltung von zwei JK-Flipflops aufbauen. Das Erste wird als Master und das Zweite als Slave bezeichnet.

Schaltzeichen:



JK-MS-Flipflop aus zwei JK-Flipflops:



Anwendung:

Man benutzt dieses Flipflop beim Aufbau von Synchronzählern (siehe ARCOR T2IF).

Praxis:

Manche von den in den Datenbüchern als Master-Slave bezeichneten Flipflops verhalten sich gar nicht wie solche. So wirken sich zum Beispiel beim TTL-IC 7476 Änderungen der Eingänge auch nach der aufsteigenden Flanke noch auf die Ausgänge aus. Dies dürfte eigentlich nicht der Fall sein.