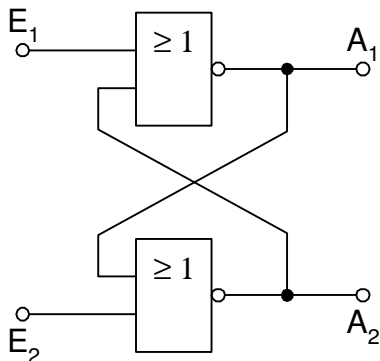


## 11. Flipflops

### 11.1 NOR-Flipflop

#### Schaltung:



zur Erinnerung:

A	B	$\overline{A \vee B}$
0	0	1
0	1	0
1	0	0
1	1	0

#### Funktionstabelle:

Fall	$E_1$	$E_2$	$A_1$	$A_2$
1	0	0		
2	0	1		
3	1	0		
4	1	1		

#### Beobachtung:

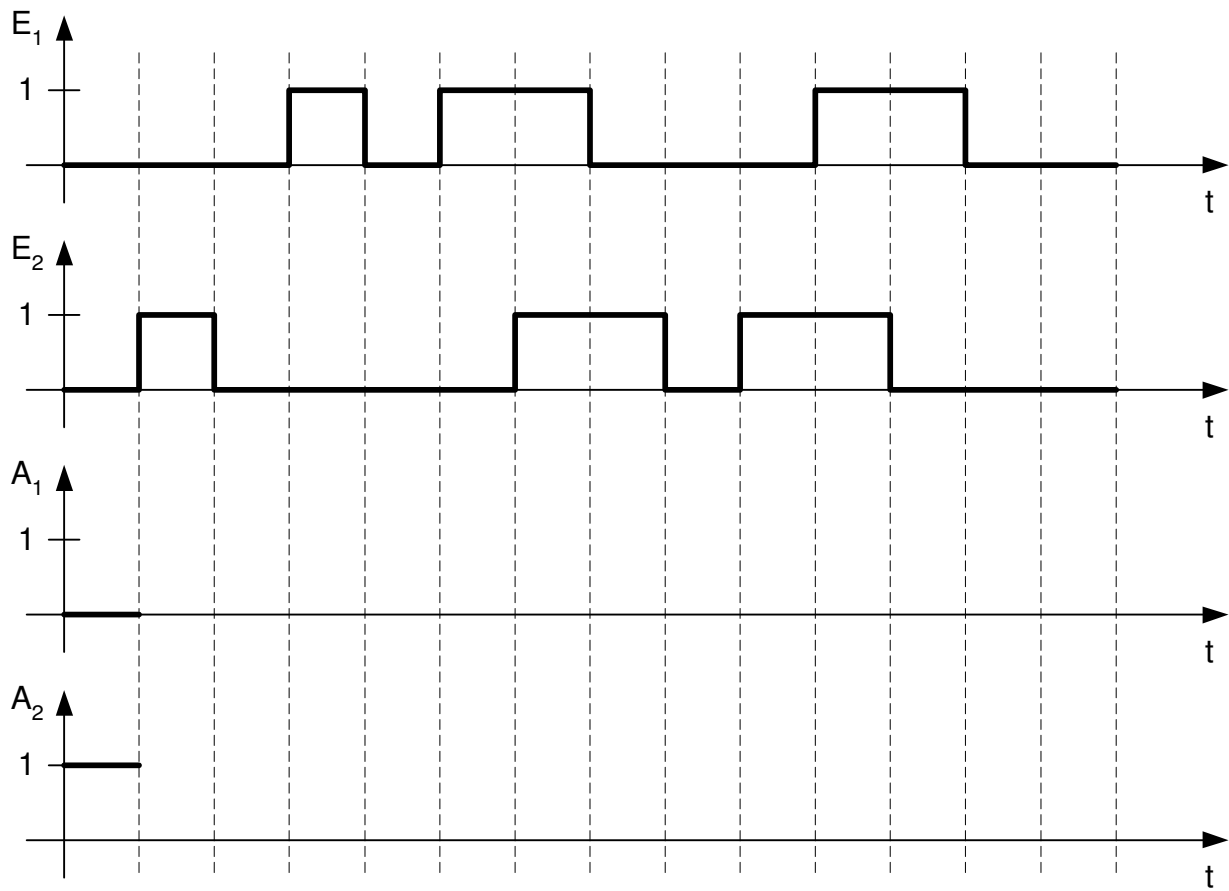
Das NOR-Flipflop unterscheidet sich von allen bisher kennengelernten Schaltungen dadurch, dass der Zustand eines Ausgangs nicht nur von den Zuständen der Eingänge abhängt, sondern auch von seinem eigenen Zustand vor der Änderung der Eingänge. Die Schaltung hat also sozusagen ein Gedächtnis.

#### Anmerkungen:

Der Speicherfall ist immer der Fall an dem die Ausgänge den logischen Zustand behalten den sie vor dem Speicherfall hatten. Der Setzfall ist immer der Fall mit dem der erste Ausgang auf logisch Eins gesetzt werden kann. Der Fall  $E_1=1$  und  $E_2=1$  wird als irregulärer Fall bezeichnet, weil der Zustand an den Ausgängen nicht gespeichert werden kann. Beim Umschalten in den Fall  $E_1=0$  und  $E_2=0$  wird einer der Ausgänge auf logisch Eins kippen.

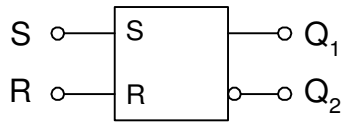
**Aufgabe:**

Vervollständige folgendes Signal-Zeit-Diagramm eines NOR-Flipflops.



## 11.2 RS-Flipflop

### Schaltzeichen:



Die Bezeichnungen S und R der Eingänge stehen für "set" und "reset", da durch sie der Ausgang  $Q_1$  gesetzt oder zurückgesetzt werden kann.

### Funktionstabelle:

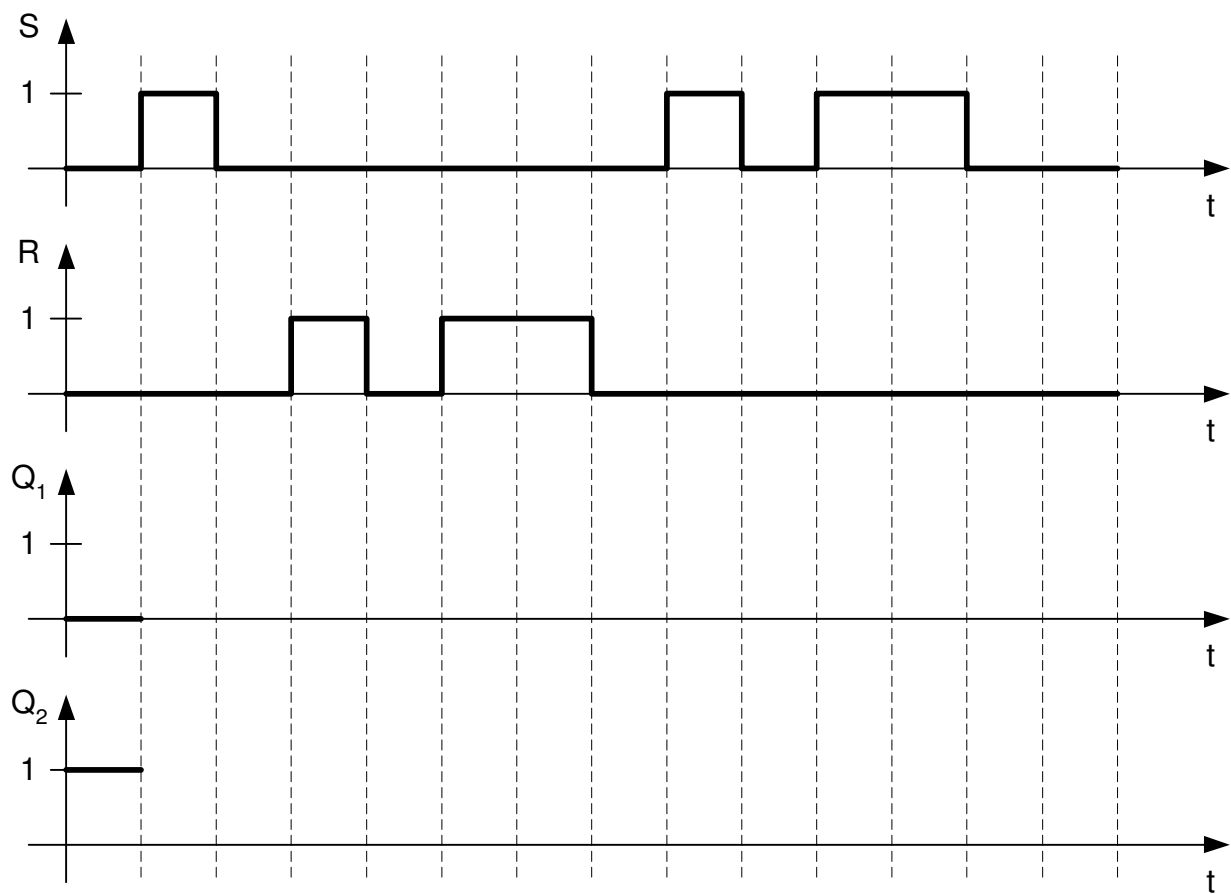
Fall	S	R	$Q_1$	$Q_2$	
1	0	0	X	X	Speicherfall
2	0	1	0	1	Rücksetzfall
3	1	0	1	0	Setzfall
4	1	1	/	/	irregulärer Fall

### Aufgabe:

Wie kann ein RS-Flipflop mit einem NOR-Flipflop realisiert werden? Zeichne die Schaltung.

**Aufgabe:**

Vervollständige folgendes Signal-Zeit-Diagramm eines RS-Flipflops.

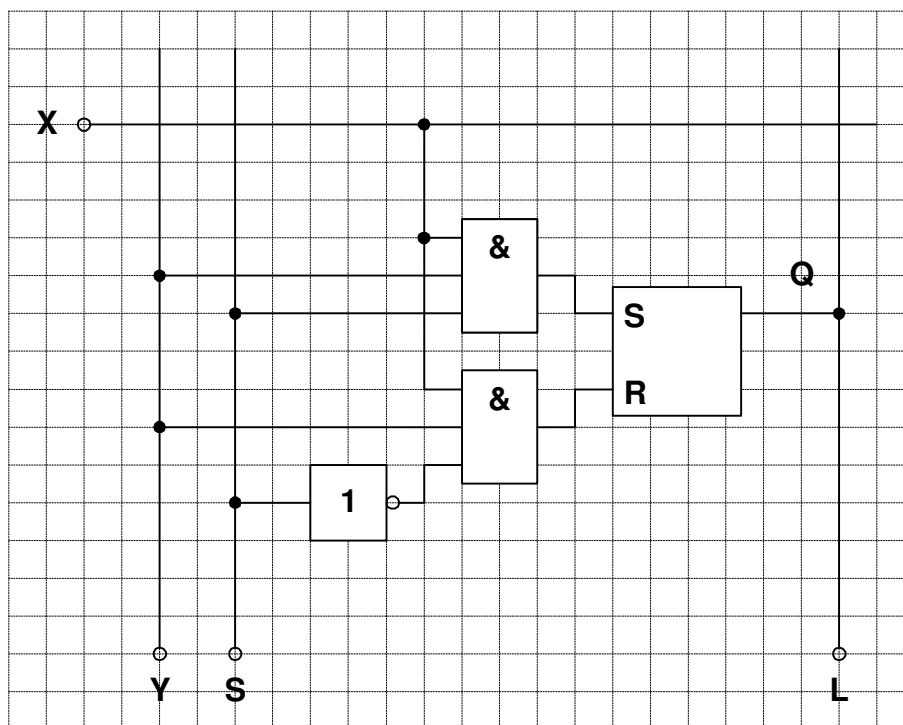


## 11.3 Anwendungen von RS-Flipflops

### 11.3.1 Flipflop als 1-Bit Speicherzelle

Die folgende Schaltung zeigt eine 1-Bit Speicherzelle wie sie in größeren Speichermatrizen vorkommt.

X und Y werden als Koordinatenleitungen bezeichnet. S ist die Schreibleitung, L die Leseleitung.



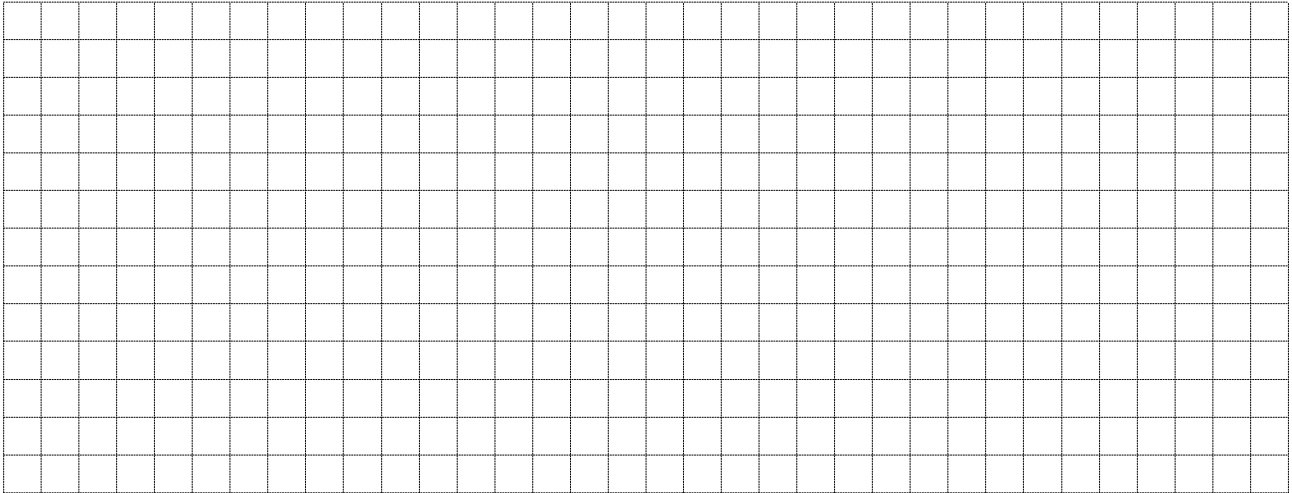
#### Aufgaben:

1. Welchen logischen Zustand muss der Set-Eingang des Flipflops haben, damit der Ausgang des Flipflops auf logisch 1 gesetzt werden kann?
2. Welche logischen Zustände müssen die Leitungen X, Y und S haben, damit der Ausgang des Flipflops auf logisch 1 gesetzt werden kann?
3. Welche logischen Zustände müssen die Leitungen X, Y und S haben, damit der Ausgang des Flipflops auf logisch 0 gesetzt werden kann?
4. Über welche Leitung wird der zu speichernde Wert an die Speicherzelle übertragen?
5. Welche Bedingung muss erfüllt sein, damit die Speicherzelle beschrieben werden kann?
6. Über welche Leitung kann der gespeicherte Wert ausgelesen werden?



### 11.3.2 Entprellung eines Schalters

Unter Prellen eines Schalters versteht man das mehrmalige Aufschlagen des Schaltkontakts auf dem Ruhekontakt beim Betätigen des Schalters. Mit Hilfe der folgenden Schaltung kann man das Ausgangssignal des Schalters entprellen.



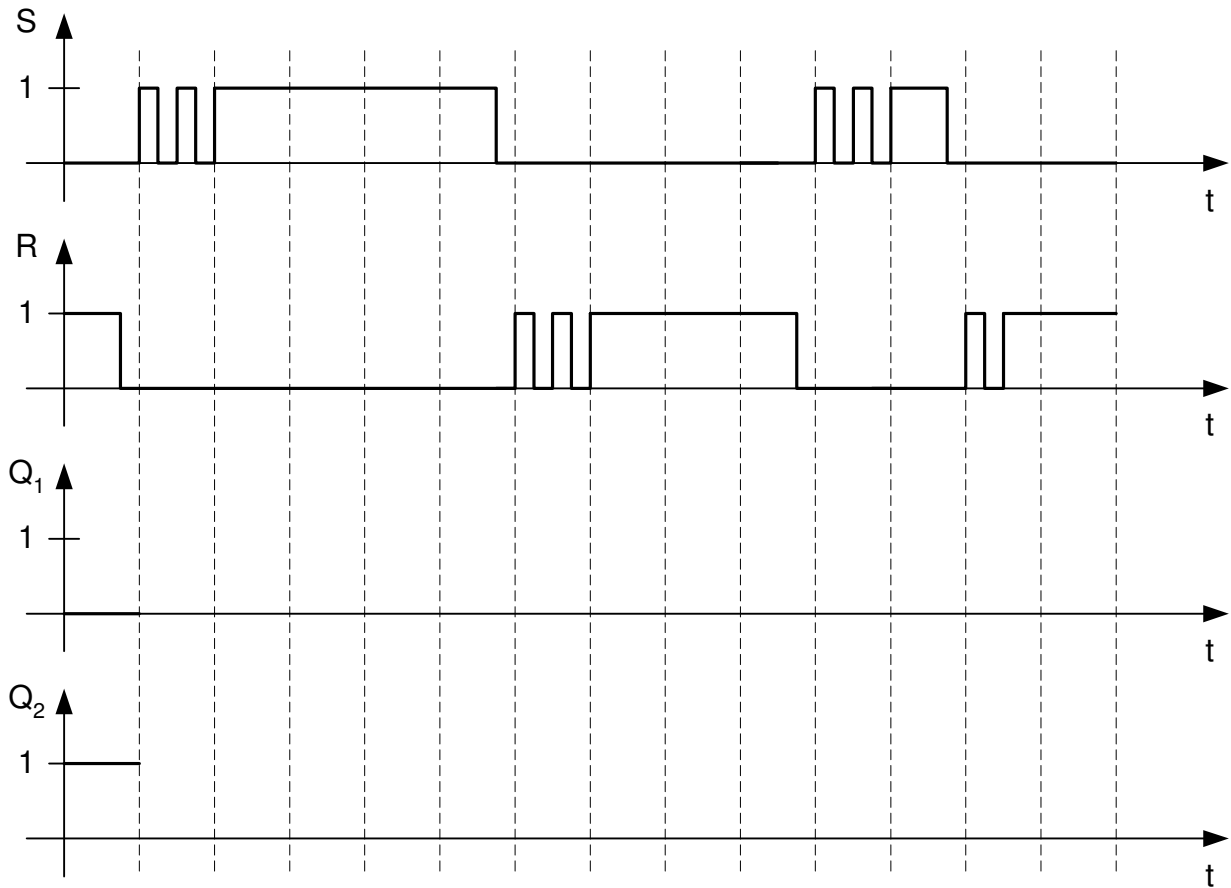
Die Widerstände sind Pulldown-Widerstände die dafür sorgen, dass die Eingänge des Flipflops auf 0V liegen, wenn diese nicht mit der Betriebsspannung verbunden sind.

#### **Erklärung:**

Wenn die Eingänge nicht mit der Betriebsspannung verbunden sind ist  $I_R = 0A$ . Also ist auch die Spannung an den Widerständen null da  $U_R = R \cdot I_R$ . Da die Widerstände parallel zu den Eingängen geschaltet sind, ist die Spannung an den Eingängen dann auch null.

**Aufgabe:**

Vervollständige folgendes Signal-Zeit-Diagramm eines SR-Flipflops mit prellenden Eingangssignalen:





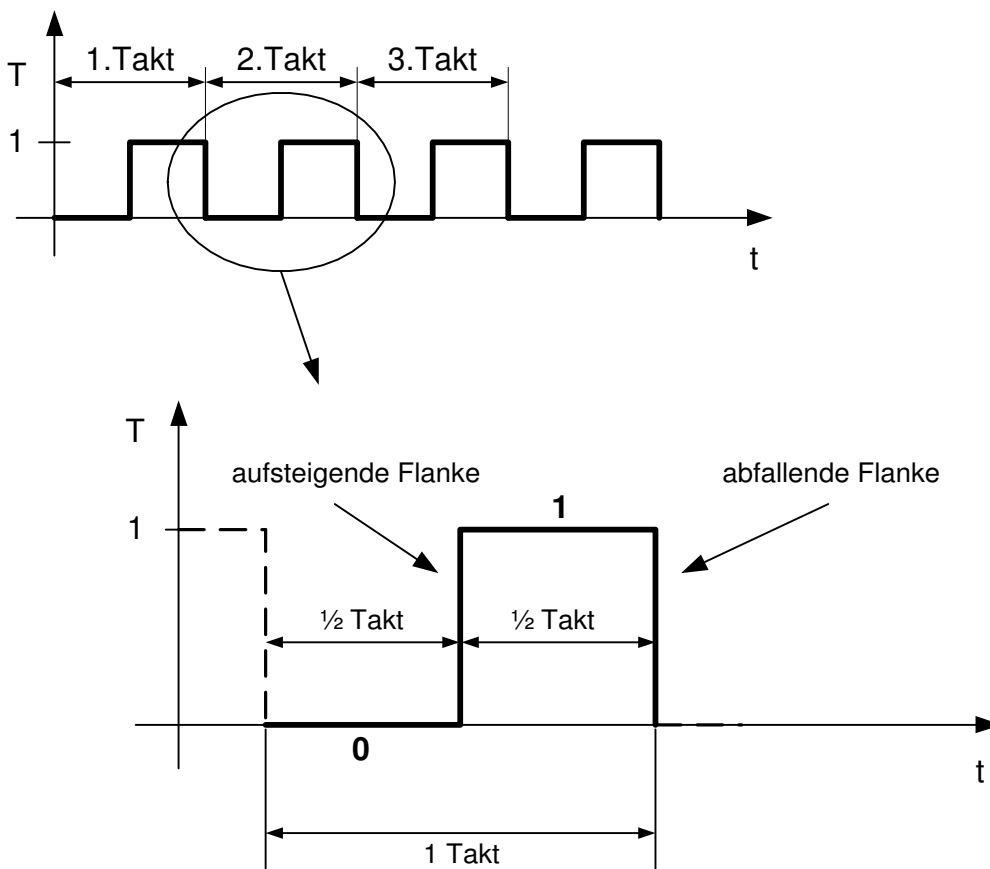
## 11.4 Taktzustandsgesteuerte Flipflops

### 11.4.1 Takt

Das gute Zusammenspiel vieler Musiker in einem Orchester ist fast undenkbar ohne Dirigenten. Er gibt unter anderem den Takt an und gewährleistet so ein synchrones (d.h. zeitlich aufeinander abgestimmtes) Zusammenspiel aller Musiker.

Um in einem Mikroprozessor oder auf einem Motherboard alle digitalen Bausteine kontrolliert zusammenarbeiten zu lassen ist es auch erforderlich einen Takt vorzugeben. Dieser Takt soll alle Bausteine dazu bewegen ihre Operationen und ihren Datenaustausch synchronisiert durchzuführen.

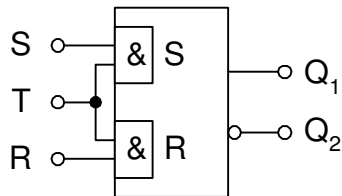
Elektrisch läßt sich ein solcher Takt am einfachsten durch ein Rechtecksignal realisieren.



### 11.4.2 Taktzustandsgesteuertes SR-Flipflop

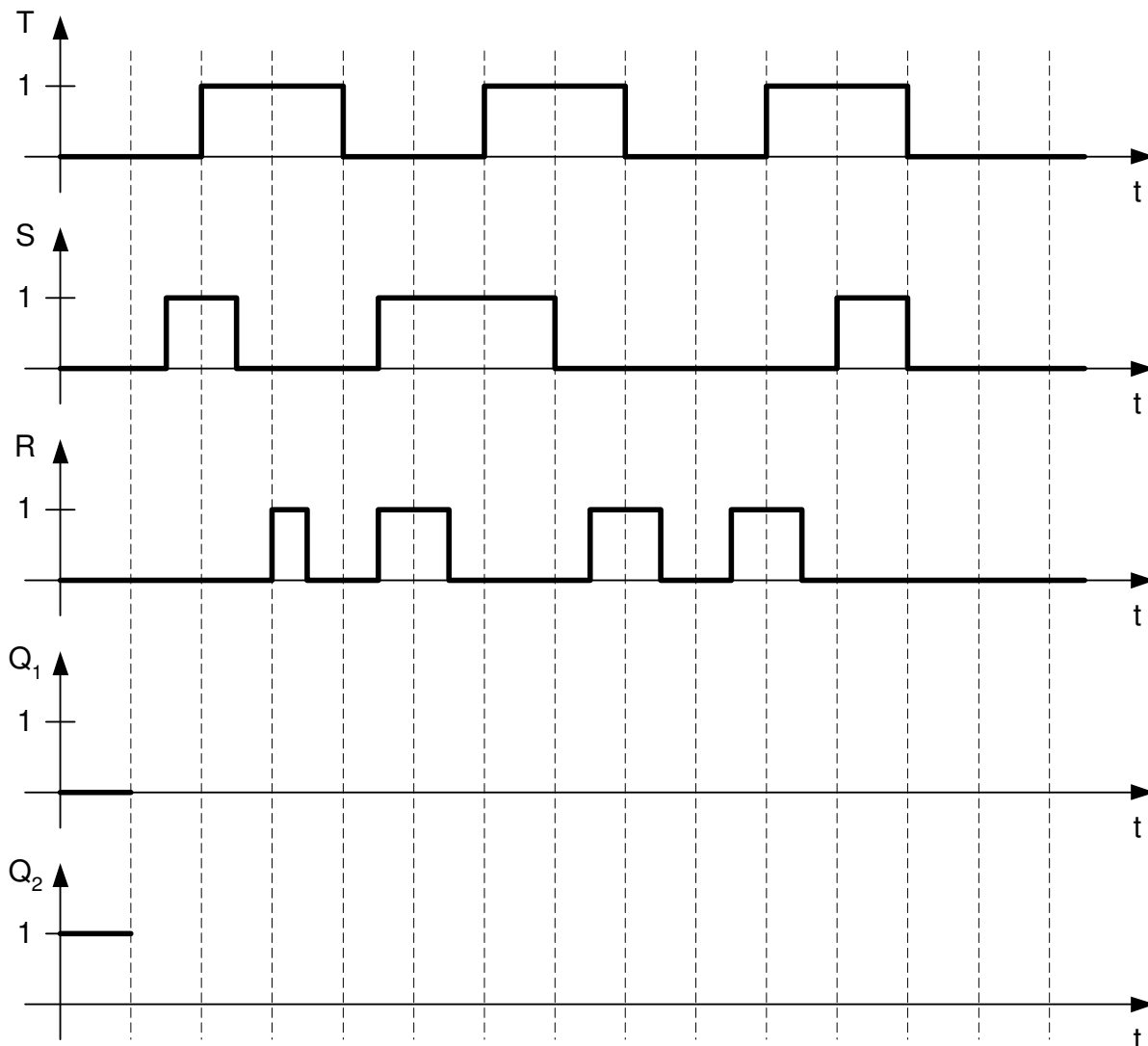
Beim taktzustandsgesteuerten SR-Flipflop kann der Setz- und Rücksetzeingang nur wirksam werden, wenn der Takt den logischen Zustand 1 hat.

**Schaltzeichen:**



**Aufgabe:**

Vervollständige folgendes Signal-Zeit-Diagramm:

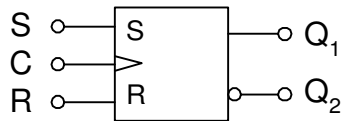


## 11.5 Taktflankengesteuerte Flipflops

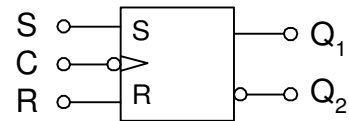
### 11.5.1 Taktflankengesteuertes SR-Flipflop

Beim taktflankengesteuerten SR-Flipflop kann der Setz- und Rücksetzeingang nur während der aufsteigenden respektive abfallenden Flanke des Taktes wirksam werden.

#### Schaltzeichen:



aufsteigende Flanke



abfallende Flanke

#### Aufgabe:

Vervollständige folgendes Signal-Zeit-Diagramm (aufsteigende Flanke):

